

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-045583
(43)Date of publication of application : 14.02.1992

(51)Int.Cl.

H01L 45/00
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 02-152676
(22)Date of filing : 13.06.1990

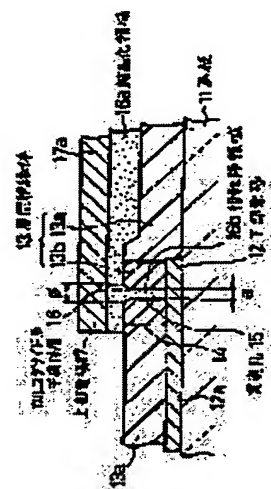
(71)Applicant : CASIO COMPUT CO LTD
(72)Inventor : SASAKI MAKOTO

(54) PHASE TRANSITION TYPE MEMORY ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To reduce a current value of set pulse which converts chalcogenide semiconductor from crystal state to amorphous state and switches a memory element from 'on' state to 'off' state by making a small diameter of a phase transition region of a semiconductor layer which is equivalent to a diameter of a through-hole.

CONSTITUTION: A through-hole of a small diameter (1.5 to 0.1 μ m) which is smaller than a diameter (2 to 3 μ m) of a current path is provided to a layer insulating film which insulates a lower electrode and an upper electrode. A part of a chalcogenide semiconductor layer formed on the insulating film is filled inside the through-hole and a part on the insulating film of the semiconductor layer is crystallized; thereby, a part inside the through-hole of the semiconductor layer is made a phase transition region which carries out phase transition of crystal state and amorphous state.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-45583

⑤ Int. Cl.⁵H 01 L 45/00
27/10
29/788
29/792

識別記号

4 2 1 B

庁内整理番号

6810-4M
8831-4M

⑬ 公開 平成4年(1992)2月14日

7514-4M H 01 L 29/78 3 7 1

審査請求 未請求 請求項の数 2 (全10頁)

⑭ 発明の名称 相転移型メモリ素子およびその製造方法

⑮ 特 願 平2-152676

⑯ 出 願 平2(1990)6月13日

⑰ 発 明 者 佐々木 誠 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

相転移型メモリ素子およびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板上に形成された下部電極と、この下部電極を覆って前記基板上に形成された層間絶縁膜と、この絶縁膜に前記下部電極の一部に対応させて設けられた貫通孔と、前記絶縁膜上に一部を前記貫通孔内に充填して形成されるとともに前記絶縁膜上の部分が結晶化されたカルコゲナイド系半導体層と、この半導体層の上に形成された上部電極とからなり、かつ前記貫通孔の直径を $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の範囲にしたことを特徴とする相転移型メモリ素子。

(2) 絶縁性基板上に下部電極とこの下部電極を覆う層間絶縁膜を形成するとともにこの絶縁膜に前記下部電極の一部に対応させて直径 $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の貫通孔を形成する工程と、前記絶縁膜上にカルコゲナイド系半導体層を堆積させてこの半導体層の一部を前記貫通孔内に充填さ

せるとともに、この後前記半導体層をその融点以上の温度に加熱して結晶化させる工程と、前記半導体層の上に上部電極を形成する工程とからなることを特徴とする相転移型メモリ素子の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、カルコゲナイド系半導体を用いた相転移型メモリ素子およびその製造方法に関するものである。

〔従来の技術〕

最近、不揮発性メモリ素子として、カルコゲナイド系半導体を用いた相転移型のメモリ素子が開発されている。

この相転移型メモリ素子は、基本的には一対の電極間にカルコゲナイド系の半導体層を介在させたもので、この相転移型メモリ素子としては、従来、第4図に示すような構造のものが知られている。

この相転移型メモリ素子の構造を説明すると、図中1はガラス板等からなる絶縁性基板であり、

特開平4-45583 (2)

この基板1上には下部電極2とそのライン部2aが形成され、さらにこの基板1上には、前記下部電極2およびライン部2aを覆う層間絶縁膜3が形成されている。この絶縁膜3には、下部電極2の一部を露出させる開口4が形成されており、この開口4は一般に直径 $5\mu\text{m}$ ～ $10\mu\text{m}$ の大きさに形成されている。そして、カルコゲナイド系の半導体層5は、前記絶縁膜3の開口4内からその周囲の絶縁膜上面にわたって形成されており、開口4内の部分の下面において前記下部電極2の上面に接している。また、前記絶縁膜3の上には前記半導体層5を覆って上部電極6が形成されており、前記半導体層5の上面はこの上部電極6に接している。なお、6aは上部電極6のライン部である。

この相転移型メモリ素子は、カルコゲナイド系半導体のアモルファス状態から結晶状態および結晶状態からアモルファス状態への相転移を利用してオン状態とオフ状態とに書換えられるもので、例えば半導体層5の層厚を $0.3\mu\text{m}$ とした相転

移型メモリ素子は、パルス幅 $30\mu\text{sec}$ ～ $200\mu\text{sec}$ 、波高 5V ～ 10V のセットパルスの印加によりオン状態となり、パルス幅 $0.3\mu\text{sec}$ 、電流値 100mA のリセットパルスの印加によりオフ状態に戻される。すなわち、下部電極2と上部電極6との間に前記セットパルスを印加すると、この電極2、6間の半導体層5中に生じるフィラメント状の電流パスAを流れる電流によりジュール熱が発生して半導体層5の電流パスA部分がアモルファス状態から結晶状態に相転移し、電流パスAの抵抗値が低くなってメモリ素子がオン状態となる。なお、第4図では半導体層5中に生ずる電流パスAを半導体層5の中央部に図示しているが、この電流パスAは、半導体層5の最も電流が流れやすい箇所に形成される。また、カルコゲナイド系半導体は、結晶化した後は印加電圧を下げてもジュール熱をなくしてもアモルファス状態には戻らず、したがってメモリ素子のオン状態はそのまま保持される。また、電極2、6間に前記リセットパルスを印加すると、半導体層5の電流パス

A部分が一旦溶融した後その熱を周囲の半導体層5に奪われて急冷され、この電流パスA部分が結晶状態からアモルファス状態に戻って電流パスAの抵抗値が高くなり、メモリ素子がオフ状態となる。また、読出しは、電極2、6の一方に読出しパルスを印加し、メモリ素子のオン、オフ状態に応じて変化する他方の電極の出力を読取ることで行なわれる。

ところで、この相転移型メモリ素子においては、その半導体層5中に生ずるフィラメント状の電流パスAの直径 ϕ は $2\mu\text{m}$ ～ $3\mu\text{m}$ 程度であり、半導体層5のアモルファス状態と結晶状態との相転移は電流パスA部分に発生するだけであるが、半導体層5の相転移領域（電流パスAが形成される部分）を除く部分がその全域にわたってアモルファス状態であれば、半導体層5の相転移領域以外の部分は常に高抵抗であるから、半導体層5の面積がどのような大きさであっても、メモリ素子の特性にはほとんど差がない。このため従来の相転移型メモリ素子では、電極2、6間を絶縁する層

間絶縁膜3に直径 $5\mu\text{m}$ ～ $10\mu\text{m}$ の大きさの開口4を設けてこの部分全体に半導体層5を形成している。

（発明が解決しようとする課題）

しかしながら、前記従来の相転移型メモリ素子は、その半導体層5中に生ずる電流パスAの直径 ϕ が $2\mu\text{m}$ ～ $3\mu\text{m}$ 程度であり、この電流パスA部分の半導体が結晶状態とアモルファス状態とに相転移するため、この相転移領域の体積が大きく、したがって、半導体層5の相転移領域を結晶状態からアモルファス状態に戻してメモリ素子をオン状態からオフ状態に書換えるリセットパルスとして大きな電流パルス（半導体層5の層厚が $0.3\mu\text{m}$ の場合で 100mA ）を必要とするという問題をもっていた。

また、前記従来の相転移型メモリ素子は、半導体層5の相転移領域を除く部分がその全域にわたってアモルファス状態となっていることが必要であるため、その製造時のプロセス温度に制約があるという問題ももっていた。これは、相転移型メ

特開平4-45583 (3)

メモリ素子の製造過程においてプロセス温度がカルコゲナイド半導体の結晶化温度（アモルファス状態から結晶状態に相転移する温度） T_c を越え、しかもその後徐冷されると、半導体層5がその全体にわたって結晶化してしまうためである。なお、半導体層5が結晶化しても、これを熔融して急冷すれば半導体層5をアモルファス状態に戻すことができるが、面積の大きな半導体層5の全体をアモルファス状態に戻すには大きな電流パルス（例えば半導体層5の幅が $10\mu\text{m}$ 、層厚が $0.3\mu\text{m}$ の場合は、数 100mA ）を電極2, 6間に印加しなければならないため、電極2, 6間を絶縁している絶縁膜3に絶縁破壊を発生させるおそれがある。このため、従来の相転移型メモリ素子は、前記結晶化温度 T_c を越えないようなプロセス温度で製造されているが、カルコゲナイド半導体の結晶化温度 T_c は、この半導体の組成にもよるが $50^\circ\text{C}\sim 200^\circ\text{C}$ であるため、この温度以下にプロセス温度を抑えるには製造プロセスの自由度が大きく制約され、したがって、例えば

同じ基板1上に相転移型メモリ素子をマトリックス状に配列形成するとともにその駆動回路を構成する薄膜トランジスタを形成する場合に、前記薄膜トランジスタの製造プロセスも温度上の制約を受けてしまう。

さらに、前記従来の相転移型メモリ素子は、半導体層5の面積が大きいため、メモリの素子面積を小さくして集積度を上げることができないという問題ももっていた。

本発明はこのような実情にかんがみてなされたものであって、その目的とするところは、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に書換えるリセットパルスの電流値を小さくすることができるとともに、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができ、しかも素子面積も小さくして集積度を上げることができる相転移型メモリ素子を提供するとともに、あわせてその製造方法を提供することにある。

〔課題を解決するための手段〕

本発明の相転移型メモリ素子は、絶縁性基板上に形成された下部電極と、この下部電極を覆って前記基板上に形成された層間絶縁膜と、この絶縁膜に前記下部電極の一部に対応させて設けられた貫通孔と、前記絶縁膜上に一部を前記貫通孔内に充填して形成されるとともに前記絶縁膜上の部分が結晶化されたカルコゲナイド系半導体層と、この半導体層の上に形成された上部電極とからなり、かつ前記貫通孔の直径を $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の範囲にしたことを特徴とするものである。

また、本発明の相転移型メモリ素子の製造方法は、絶縁性基板上に下部電極とこの下部電極を覆う層間絶縁膜を形成するとともにこの絶縁膜に前記下部電極の一部に対応させて直径 $1.5\mu\text{m}\sim 0.1\mu\text{m}$ の貫通孔を形成する工程と、前記絶縁膜上にカルコゲナイド系半導体層を堆積させてこの半導体層の一部を前記貫通孔内に充填させるとともに、この後前記半導体層をその融点以上の温度に加熱して結晶化させる工程と、前記半導体層

の上に上部電極を形成する工程とからなることを特徴とするものである。

〔作用〕

すなわち、本発明の相転移型メモリ素子は、下部電極と上部電極との間を絶縁する層間絶縁膜に、従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径（ $2\mu\text{m}\sim 3\mu\text{m}$ ）より小さな直径（ $1.5\mu\text{m}\sim 0.1\mu\text{m}$ ）の貫通孔を設け、前記絶縁膜上に形成したカルコゲナイド系半導体層の一部を前記貫通孔内に充填するとともに、この半導体層のうち絶縁膜上の部分を結晶化させることによって、前記半導体層の貫通孔内の部分を、結晶状態とアモルファス状態とに相転移する相転移領域としたものであり、この相転移型メモリ素子によれば、前記半導体層の相転移領域の直径が貫通孔の直径に相当する小さな径であるため、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に書換えるリセットパルスの電流値を小さくすることができる。なお、本発明にお

特開平4-45583(4)

いて前記貫通孔の直径を $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の範囲としているのは、貫通孔の直径を $1.5\mu\text{m}$ より大きくすると、半導体層の貫通孔内に充填された相転移領域の直径が大きくなってリセットパルスの電流値をあまり小さくすることができなくなり、また貫通孔の直径を $0.1\mu\text{m}$ より小さくすると、前記相転移領域の直径が小さくなりすぎて安定した相転移が得られなくなるためである。また、この相転移型メモリ素子では、半導体層の貫通孔内に充填された相転移領域の直径が従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径より小さいため、相転移領域の全域が電流パスとなってこの相転移領域全体がアモルファス状態と結晶状態とに相転移するから、半導体層の相転移領域の初期状態は結晶状態でもアモルファス状態でもよく、したがって、その製造過程でプロセス温度が半導体の結晶化温度を超えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。しかも、この相転移型メモリ素

子では、半導体層の相転移領域の直径が小さいため、素子面積も小さくして集積度を上げることができる。

また、本発明の相転移型メモリ素子の製造方法によれば、層間絶縁膜に下部電極の一部に対応させて直径 $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の貫通孔を形成し、この絶縁膜上およびその貫通孔内にカルコゲナイド系の半導体層を堆積させてこの半導体層の一部を前記貫通孔内に充填させた後に、この半導体層をその融点以上の温度に加熱して結晶化させているから、絶縁膜上に一部を貫通孔内に充填して半導体層を形成するとともに、この半導体層の絶縁膜上の部分を結晶化させた前記相転移型メモリ素子を製造することができる。

(実施例)

以下、本発明の一実施例を図面を参照して説明する。

第1図はこの実施例の相転移型メモリ素子の断面図であり、ガラス板等からなる絶縁性基板11の上には下部電極12およびそのライン部12a

が形成され、さらにこの基板11上には、前記下部電極12およびライン部12aを覆う層間絶縁膜13が $0.1\mu\text{m} \sim 0.5\mu\text{m}$ の厚さに形成されている。この層間絶縁膜13は、下部電極12に対応する部分に直径が $2\mu\text{m} \sim 5\mu\text{m}$ 程度の円形開口14を形成した基板ほぼ全面を覆う第1の絶縁膜13aと、この第1の絶縁膜13aの開口14内に第1の絶縁膜13aと同じ膜厚に形成された第2の絶縁膜13bとからなっており、前記第2の絶縁膜13bの中央には、直径aが $1.5\mu\text{m} \sim 0.1\mu\text{m}$ のほぼ円形の貫通孔15が形成されている。そして、前記層間絶縁膜13の上には、カルコゲナイド系半導体層16が形成されており、この半導体層16の一部は前記貫通孔15内に密に充填されて、その下端面において前記下部電極12に接している。また、この半導体層16のうち、絶縁膜13上の部分は、貫通孔15上の部分を含む全域にわたって結晶化されており、この結晶化領域16aの上面は平坦面とされ、その層厚は、貫通孔15の周囲において $3\mu\text{m} \sim$

$0.2\mu\text{m}$ となっている。また前記半導体層16の貫通孔15内に充填された部分は、結晶状態とアモルファス状態との相転移する相転移領域16bとされており、この相転移領域16bの半導体の初期状態は、結晶状態またはアモルファス状態となっている。なお、カルコゲナイド系半導体としては、例えばGe-Te, In-Se, Sb-Ge-Te等の各種組成の半導体があり、この実施例でもこれら半導体を用いて前記半導体層16を形成している。また、前記半導体層16の上(結晶化領域16aの上)には、上部電極17とそのライン部17aが形成されており、半導体層16の結晶化領域16aは、上部電極17およびそのライン部17aと同一パターンに形成されている。

第2図は前記相転移型メモリ素子の製造工程図であり、この相転移型メモリ素子は次のようにして製造される。

まず、第2図(a)に示すように、基板11上にCr等の金属膜を堆積し、この金属膜をフォト

特開平4-45583(5)

リソグラフィ法によりパターンニングして下部電極12とそのライン部12aを形成する。

次に、第2図(b)に示すように、前記基板11上にその全面にわたってSiNまたはSiO₂等の第1の絶縁膜13aを0.1μm~0.5μmの厚さに堆積させる。

次に、第2図(c)に示すように、前記第1の絶縁膜13aの下部電極12と対応する部分に、フォトリソグラフィ法によって直径bが2μm~5μm程度の円形開口14を形成する。

次に、第2図(d)に示すように、第1の絶縁膜13aの上とその開口14の壁面およびこの開口14内に露出した下部電極12の上に第2の絶縁膜13bを堆積させる。なお、この第2の絶縁膜13bの材質は任意でよいが、例えば、第1の絶縁膜13aと同じ絶縁材料(SiNまたはSiO₂等)とする。この第2の絶縁膜13bの堆積厚さは、前記開口14の中心部に、カルコゲナイド系半導体を充填する貫通孔15の直径aに相当する径の縦穴部15'を残す厚さに制御する。

面に堆積した絶縁膜13bだけが残るとともに、前記縦穴部15'が下部電極12に達する貫通孔15となる。なお、前記貫通孔15の直径aは、 $a = b - 2 \times d$ であり、例えば第1の絶縁膜13aにフォトリソグラフィ法で形成した開口14の直径bを3μmとし、この開口14の壁面に残す第2の絶縁膜13bの膜厚dを1.45μmとすると、貫通孔15の直径aは、 $a = 3 - 2 \times 1.45 \mu m = 0.1 \mu m$ となる。

このようにして、第1の絶縁膜13aと貫通孔15を有する第2の絶縁膜13bとからなる層間絶縁膜13を形成した後は、第2図(f)に示すように、前記層間絶縁膜13上およびその貫通孔15内にカルコゲナイド系半導体層16をCVD法等により堆積させ、前記貫通孔15内に前記半導体層16を充填する。なお、この場合、前記貫通孔15のアスペクト比、すなわち孔高(層間絶縁膜13の膜厚)hと孔径aとの比(h/a)が1程度以上であると、貫通孔15内に堆積する半導体層16が貫通孔15内に完全に充填されず、

また、この第2の絶縁膜13bの堆積はCVD法によって行なう。このCVD法による被膜の堆積では、原料ガスが被膜堆積面の表面で化学反応し、膜となって成長するため、第2の絶縁膜13bは、第1の絶縁膜13aの上面および下部電極12の上面にも、また開口14の壁面にも、これらの面に対して垂直な方向にそれぞれ均一な膜厚dに堆積する。

次に、第2図(e)に示すように、前記第2の絶縁膜13bを、基板11面に対して垂直な方向にエッチングが進行するエッチング条件で第1の絶縁膜13aおよび下部電極12の上面を露出させるまでエッチングバックする。この第2の絶縁膜13bのエッチングバックは、RIE法またはスパッタエッチング法等の異方性エッチングで行なう。このように第2の絶縁膜13bを異方性エッチングによってエッチングバックすると、第2の絶縁膜13bのうち、第1の絶縁膜13aの上面に堆積した部分と、前記縦穴部15'の底部分がエッチング除去され、最終的に、開口14の壁

この半導体層16中に第2図(f)に示すような空孔sができることがある。ただし、貫通孔15のアスペクト比(h/a)が1以下であれば、貫通孔15内に半導体を完全に充填させることができる。

次に、第2図(g)に示すように、堆積させた半導体層16をその融点以上の温度に加熱(リフロー)して、貫通孔15内に半導体を完全に充填するとともに絶縁膜13上の半導体層16の上面を平坦面にし、次いで半導体層16を徐冷して、この半導体層16をその全体にわたって結晶化させる。すなわち、半導体層16をその融点以上の温度に加熱すると、半導体層16が流動状態となって絶縁膜13上の半導体が貫通孔15に流入するから、半導体層16の堆積時における貫通孔15内への半導体の充填が第2図(f)に示したように不完全であっても、貫通孔15内に半導体を完全に充填して、貫通孔15内に緻密な膜質の半導体層16を形成することができるし、また半導体層16をその融点以上の温度に加熱した後に徐冷

特開平4-45583(6)

すると、この半導体層16が結晶状態となる。

次に、第2図(h)に示すように、前記半導体層16の結晶化領域16aの上にCr等の金属膜Mを堆積させる。

次に、この金属膜Mをフォトリソグラフィ法によりパターニングして、下部電極17とそのライン部17aを形成し、次いで前記半導体層16の結晶化領域16aを下部電極17およびそのライン部17aの形状にパターニングして、相転移型メモリ素子を完成する。

なお、このようにして製造された相転移型メモリ素子は、その半導体層16の相転移領域16b(貫通孔15内の半導体層)が結晶状態となっているが、製造後に下部電極12と上部電極17との間に後述するリセットパルスを印加すれば、前記相転移領域16bを結晶状態からアモルファス状態に相転移させることができるから、前記相転移領域16bの初期状態は、結晶状態にもアモルファス状態にも設定することができる。

すなわち、この実施例の相転移型メモリ素子は、

ってオフ状態になる。また、半導体層16の相転移領域16bの初期状態が結晶状態である相転移型メモリ素子は、前記リセットパルスの印加により相転移領域16bがアモルファス化してオフ状態になり、前記リセットパルスの印加により相転移領域16bがアモルファス状態に戻ってオフ状態になる。

前記半導体層16のうち貫通孔15内の部分(相転移領域16b)だけが結晶状態とアモルファス状態とに相転移する理由を説明すると、この相転移型メモリ素子においても、半導体層16中に生ずる電流パスは、貫通孔15内の相転移領域16bと、絶縁膜13上の結晶化領域16aのうちの貫通孔13上の部分に形成されるが、絶縁膜上の結晶化領域16aに形成される電流パスは従来の相転移型メモリ素子と同様な直径 ϕ ($\phi=2\mu\text{m}\sim3\mu\text{m}$)に形成されるのに対し、貫通孔13内の相転移領域16bに形成される電流パスは、貫通孔の直径 a ($1.5\mu\text{m}\sim0.1\mu\text{m}$)以上にはならないため、前記電流パスを流れる電

下部電極12と上部電極17との間を絶縁する層間絶縁膜13に、従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径($2\mu\text{m}\sim3\mu\text{m}$)より小さな直径($1.5\mu\text{m}\sim0.1\mu\text{m}$)の貫通孔15を設け、前記絶縁膜13上に形成したカルコゲナイド系半導体層16の一部を前記貫通孔15内に充填するとともに、この半導体層16の絶縁膜13上の部分を結晶化させることによって、前記半導体層16の貫通孔15内の部分を、結晶状態とアモルファス状態とに相転移する相転移領域16bとしたものであり、半導体層16の相転移領域16bの初期状態がアモルファス状態である相転移型メモリ素子は、例えばパルス幅 $30\mu\text{sec}\sim200\mu\text{sec}$ 、波高 $5\text{V}\sim10\text{V}$ のセットパルス(従来の相転移型メモリ素子のセットパルス)の印加により半導体層16の相転移領域16bが結晶化してオン状態となり、パルス幅 $0.3\mu\text{sec}$ 、電流値 $5.3\text{mA}\sim0.25\text{mA}$ のリセットパルスの印加により前記相転移領域16bがアモルファス状態に戻

流の密度が相転移領域16bにおいて高くなる。そして、下部電極12と上部電極17との間に半導体層16を結晶状態からアモルファス状態に相転移させるためのリセットパルスを印加したときに半導体層16中に生ずるジュール熱は、前記電流パスのうち、電流密度が高い部分に発生するため、貫通孔15内の相転移領域16bその全域がジュール熱により溶融するが、この相転移領域16bの上の結晶化領域16aは、相転移領域16bとの境界付近が溶融するだけで、それより上の大部分の領域は溶融しない。したがって、前記リセットパルスの印加により溶融し、この後周囲の絶縁膜13に熱を奪われて急冷してアモルファス化するのは、貫通孔15内の相転移領域16bだけであり、その上の結晶化領域16aは結晶状態を維持する。なお、この場合、リセットパルスの電流値が高すぎると、電流パスの径が大きい結晶化領域16aにもこれを溶融させるジュール熱が発生して結晶化領域16aもアモルファス化するおそれがあるが、リセットパルスの電流

特開平4-45583(7)

値をある程度の値以下に抑えれば、結晶化領域16aをアモルファス化させてしまうことはない。なお、前記相転移領域16bをアモルファス状態から結晶状態に相転移させるためのセットパルスを印加したときは、このセットパルスのパルス幅が例えばパルス幅 $30\mu\text{sec} \sim 200\mu\text{sec}$ 、波高が $5\text{V} \sim 10\text{V}$ であるため、相転移領域16bだけでなくその上の結晶化領域16aも熔融することがあるが、半導体のアモルファス状態から結晶状態への相転移は熔融後徐冷することで行なわれるから、結晶化領域16aが熔融したとしても、この結晶化領域16aはその後の徐冷により再び結晶状態になるだけである。

なお、前記半導体層16の結晶化領域16aは、上部電極17のライン部17aの下にもこれと同一パターンに形成されているが、この結晶化領域16aは結晶化された低抵抗の層であるため、前記ライン部17aの一部と見なせるし、また、結晶化領域16aが低抵抗であっても、電流のほとんどは、さらに抵抗値の小さい金属からなるライ

ン部17aを流れるから、ライン部17aの下の結晶化領域16aがアモルファス状態に相転移することはない。

そして、この相転移型メモリ素子によれば、前記半導体層16の結晶状態とアモルファス状態とに相転移する領域が、貫通孔15内の相転移領域16bだけであり、この相転移領域16bの直径は貫通孔15の直径aに相当する小さな径であるため、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に書換えるリセットパルスの電流値を小さくすることができる。

すなわち、下記の表は、半導体層16の相転移領域16bの厚さ(貫通孔15の孔高)を $0.3\mu\text{m}$ にした場合の、相転移領域16bの直径と、この相転移領域16bを結晶状態からアモルファス状態に相転移させるのに必要なリセットパルスの電流値との関係を示している。

| 直径(μm) | 2.0 | 1.5 | 1.0 | 0.5 | 0.2 | 0.1 |
|---------------------|-----|------|------|-----|-----|------|
| 電流(mA) | 100 | 56.3 | 25.0 | 6.3 | 1.0 | 0.25 |

この表のように、半導体層16の相転移領域16bの直径が従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直径と同程度($2\mu\text{m}$)である場合は、相転移領域16bを結晶状態からアモルファス状態に相転移させるのに必要なリセットパルスの電流値は 100mA と従来の相転移型メモリ素子とほぼ同じであるが、相転移領域16bの直径を $1.5\mu\text{m}$ にすると、前記リセットパルスの電流値は 56.3mA と、従来の相転移型メモリ素子のほぼ $1/2$ 程度ですみ、さらに相転移領域16bの直径を小さくすると、リセットパルスの電流値もさらに小さくすむ。

なお、この実施例において、前記貫通孔15の直径aを $1.5\mu\text{m} \sim 0.1\mu\text{m}$ の範囲としているのは、貫通孔15の直径aを $1.5\mu\text{m}$ より大きくすると、半導体層16の相転移領域16bの直径が大きくなってリセットパルスの電流値をあまり小さくすることができなくなり、また貫通孔15の直径を $0.1\mu\text{m}$ より小さくすると、前記

相転移領域16bの直径が小さくなりすぎて安定した相転移が得られなくなるためである。

また、この相転移型メモリ素子では、この相転移型メモリ素子では、半導体層16の貫通孔15内に充填された相転移領域16bの直径が従来の相転移型メモリ素子においてその半導体層に形成される電流バスの直径より小さいため、相転移領域16bの全域が電流バスとなってこの相転移領域全体がアモルファス状態と結晶状態とに相転移するから、半導体層16の相転移領域16bの初期状態は結晶状態でもアモルファス状態でもよく、したがって、その製造過程でプロセス温度が半導体の結晶化温度を越えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。したがって、例えば同じ基板11上に相転移型メモリ素子をマトリックス状に配列形成するとともにその駆動回路を構成する薄膜トランジスタを形成する場合でも、前記薄膜トランジスタの製造プロセスに温度上の制約を受けることはない。

特開平4-45583(8)

しかも、この相転移型メモリ素子では、半導体層16の相転移領域16bの直径が小さいため、素子面積も小さくして集積度を上げることができる。

また、前記実施例の相転移型メモリ素子の製造方法では、層間絶縁膜13に下部電極12の一部に対応させて直径1.5 μ m \sim 0.1 μ mの貫通孔14を形成し、この絶縁膜13上およびその貫通孔15内にカルコゲナイド系の半導体層16を堆積させた後に、この半導体層16をその融点以上の温度に加熱して結晶化させているから、絶縁膜13上に一部を貫通孔15内に充填して半導体層16を形成するとともに、この半導体層16の絶縁膜13上の部分を結晶化させた前記相転移型メモリ素子を製造することができる。

しかも、この実施例の製造方法では、層間絶縁膜13に設ける貫通孔15を、まず第1の絶縁膜13aを形成してこの第1の絶縁膜13aに開口14を形成し、この開口14の壁面に第2の絶縁膜13bを堆積させる方法で形成しているため、

第3図は貫通孔15をフォトリソグラフィ法によって形成した相転移型メモリ素子の実施例を示しており、この実施例は、層間絶縁膜13を単一の絶縁膜とし、この絶縁膜13にフォトリソグラフィ法によって貫通孔15を形成したものである。

〔発明の効果〕

本発明の相転移型メモリ素子は、下部電極と上部電極との間を絶縁する層間絶縁膜に、従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径(2 μ m \sim 3 μ m)より小さな直径(1.5 μ m \sim 0.1 μ m)の貫通孔を設け、前記絶縁膜上に形成したカルコゲナイド系半導体層の一部を前記貫通孔内に充填するとともに、この半導体層のうち絶縁膜上の部分を結晶化させることによって、前記半導体層の貫通孔内の部分を、結晶状態とアモルファス状態とに相転移する相転移領域としたものであるから、カルコゲナイド系半導体を結晶状態からアモルファス状態にしてメモリ素子をオン状態からオフ状態に切換えるリセットパルスの電流値を小さくすることができる。

前記第2の絶縁膜13bの堆積厚さを制御することで、直径aが1.5 μ m \sim 0.1 μ mの非常に小さな貫通孔15を形成することができる。

また、前記実施例の製造方法では、前記絶縁膜13上およびその貫通孔14内にカルコゲナイド系の半導体層16を堆積させた後、この半導体層16をその融点以上の温度に加熱して結晶化させているため、半導体層16の堆積時における貫通孔15内への半導体の充填が不完全であっても、半導体層16の結晶化時に絶縁膜13上の半導体を貫通孔15に流入させて貫通孔15内に半導体を完全に充填し、貫通孔15内に緻密な膜質の半導体層16を形成することができる。

なお、前記実施例では、層間絶縁膜13に設ける貫通孔15を、第1の絶縁膜13aに形成した開口14の壁面に第2の絶縁膜13bを堆積させる方法で形成しているが、この貫通孔15はフォトリソグラフィ法によって形成してもよく、現在のフォトリソグラフィ技術でも、1 μ mより僅かに小さい孔径までの貫通孔の形成は可能である。

また、半導体層の貫通孔内に充填された相転移領域の直径が従来の相転移型メモリ素子においてその半導体層に形成される電流パスの直径より小さいため、相転移領域の全域が電流パスとなってこの相転移領域全体がアモルファス状態と結晶状態とに相転移するから、半導体層の相転移領域の初期状態は結晶状態でもアモルファス状態でもよく、したがって、その製造過程でプロセス温度が半導体の結晶化温度を越えても構わないから、製造時のプロセス温度の制約もなくして製造プロセスの自由度を広げることができる。しかも、この相転移型メモリ素子では、半導体層の相転移領域の直径が小さいため、素子面積も小さくして集積度を上げることができる。

また、本発明の相転移型メモリ素子の製造方法によれば、層間絶縁膜に下部電極の一部に対応させて直径1.5 μ m \sim 0.1 μ mの貫通孔を形成し、この絶縁膜上およびその貫通孔内にカルコゲナイド系の半導体層を堆積させてこの半導体層の一部を前記貫通孔内に充填させた後に、この半導

特開平4-45583 (9)

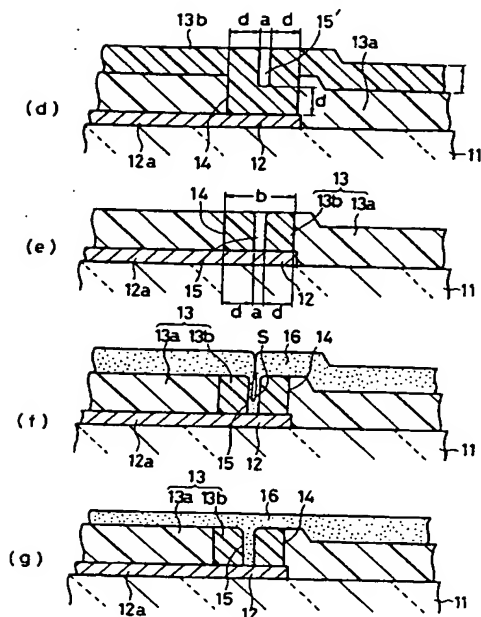
体層をその融点以上の温度に加熱して結晶化させているから、絶縁膜上に一部を貫通孔内に充填して半導体層を形成するとともに、この半導体層の絶縁膜上の部分を結晶化させた前記相転移型メモリ素子を製造することができる。

4. 図面の簡単な説明

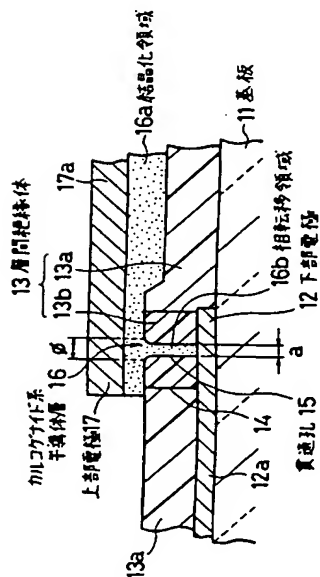
第1図および第2図は本発明の一実施例を示す相転移型メモリ素子の断面図およびその製造工程図、第3図は本発明の他の実施例を示す相転移型メモリ素子の断面図、第4図は従来の相転移型メモリ素子の断面図である。

11…基板、12…下部電極、13…層間絶縁膜、13a…第1の絶縁膜、13b…第2の絶縁膜、14…開口、15…貫通孔、16…カルコゲナイド系半導体層、16a…結晶化領域、16b…相転移領域、17…上部電極。

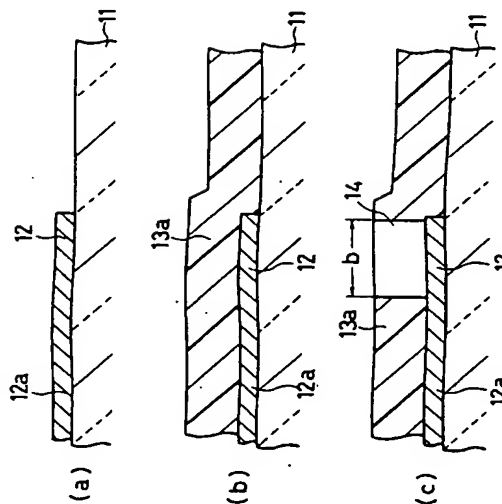
出願人 カシオ計算機株式会社



第2図

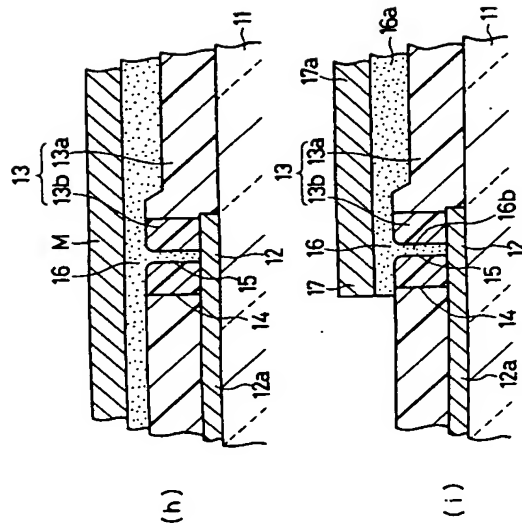


第1図

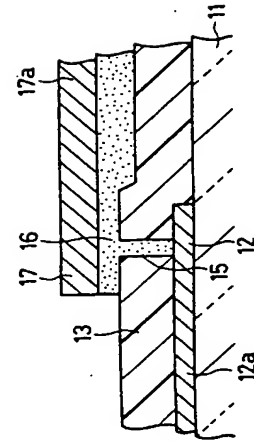


第2図

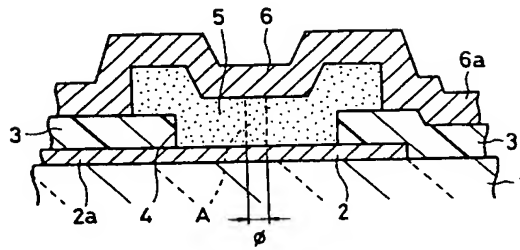
特開平4-45583 (10)



第 2 図



第 3 図



第 4 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.